



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2001년 제 38772 호  
Application Number PATENT-2001-0038772

출원년월일 : 2001년 06월 30일  
Date of Application JUN 30, 2001

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



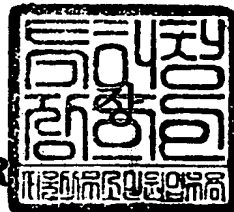
2001 년 11 월 26 일

특

허

청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0095  
**【제출일자】** 2001.06.30  
**【발명의 명칭】** 듀얼다마신 공정에 의한 다층 배선의 형성 방법  
**【발명의 영문명칭】** Method of fabricating multi-level interconnects by dual damascene process

## 【출원인】

**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8

## 【대리인】

**【성명】** 특허법인 신성 정지원  
**【대리인코드】** 9-2000-000292-3  
**【포괄위임등록번호】** 2000-049307-2

## 【대리인】

**【성명】** 특허법인 신성 원석희  
**【대리인코드】** 9-1998-000444-1  
**【포괄위임등록번호】** 2000-049307-2

## 【대리인】

**【성명】** 특허법인 신성 박해천  
**【대리인코드】** 9-1998-000223-4  
**【포괄위임등록번호】** 2000-049307-2

## 【발명자】

**【성명의 국문표기】** 이성권  
**【성명의 영문표기】** LEE, Sung Kwon  
**【주민등록번호】** 640301-1268621  
**【우편번호】** 467-860  
**【주소】** 경기도 이천시 부발읍 현대전자 사원임대아파트 108-104  
**【국적】** KR

**【발명자】****【성명의 국문표기】**

김상익

**【성명의 영문표기】**

KIM, Sang Ik

**【주민등록번호】**

571020-1162123

**【우편번호】**

463-500

**【주소】**

경기도 성남시 분당구 구미동 77 까치마을 대우아파트 101-903

**【국적】**

KR

**【취지】**

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 특허

법인 신성 정지원 (인) 대리인

특허법인 신성 원석희 (인) 대리인

특허법인 신성 박해천 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

0 면 0 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

0 항 0 원

**【합계】**

29,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 비아홀을 제외한 부분에 잔류하는 식각정지층으로 인한 캐패시턴스값 증가를 방지하고, 트렌치 모서리부분에서의 프로파일 왜곡을 억제하는데 적합한 듀얼다마신 공정에 의한 다층 배선의 형성 방법을 제공하기 위한 것으로, 반도체기판상에 제1 배선층을 형성하는 단계, 상기 제1 전도층상에 제1 층간절연막과 식각정지막을 차례로 형성하는 단계, 상기 식각정지막과 제1 층간절연막을 선택적으로 식각하여 상기 제1 배선층의 소정 표면을 노출시키는 비아홀을 형성하는 단계, 상기 식각정지막을 선택적으로 식각하여 상기 비아홀에 인접하는 식각정지막패턴을 잔류시키는 단계, 상기 식각정지막패턴을 포함한 전면에 상기 비아홀내에 보이드를 발생시키는 제2 층간절연막을 형성하는 단계, 및 상기 제2 층간절연막을 선택적으로 식각하여 상기 비아홀 상부에 상기 비아홀보다 큰 폭을 갖는 트렌치를 형성하는 단계를 포함하여 이루어진다.

**【대표도】**

도 3d

**【색인어】**

듀얼다마신, 배선, 비아홀, 트렌치, 식각정지층, 보이드

## 【명세서】

## 【발명의 명칭】

듀얼다마신 공정에 의한 다층 배선의 형성 방법(Method of fabricating multi-level interconnects by dual damascene process)

## 【도면의 간단한 설명】

도 1a 내지 도 1c는 종래기술에 따른 듀얼다마신 공정에 의한 금속배선의 형성 방법을 도시한 공정 단면도,

도 2a는 트렌치 식각후 잔류하는 질화막을 도시한 사시도,

도 2b는 트렌치 모서리 부분에서의 프로파일 왜곡을 도시한 도면,

도 3a 내지 도 3d는 본 발명의 실시예에 따른 듀얼다마신 공정에 의한 금속 배선의 형성 방법을 도시한 공정 단면도,

도 4는 본 발명의 실시예에 따른 트렌치 식각후 주사전자현미경(SEM)으로 촬영한 사진.

## \*도면의 주요 부분에 대한 부호의 설명

—의 부호는 도면의 설명

31 : 반도체기판

32 : 제 1 층간절연막

33 : 제 2 층간절연막

34 : 제 1 식각정지층

35 : 제 1 금속배선

36 : 제 3 층간절연막

37 : 제 2 식각정지층

38 : 비아홀마스크

39 : 비아홀

40 : 감광막패턴

41 : 제 4 층간절연막

42 : 트렌치마스크

43 : 제 2 금속배선

43a : 비아

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 듀얼다마신 공정 (Dual damascene process)에 의한 다층 배선의 형성 방법에 관한 것이다.

<15> 최근에, 반도체 소자의 집적도가 증가함에 따라 게이트, 비트라인, 워드라인 및 금속배선 등의 반도체 제조 공정에 이용되는 패턴의 선폴을 노광 공정에 의해 감소시키는데는 한계에 이르러, 이를 개선시키고자 다마신(Damascene) 공정을 적용하고 있다.

<16> 일반적으로 다마신 공정은 절연막을 식각하여 트렌치를 형성하고, 트렌치에 배선막을 매립시키는 공정으로, 트렌치 하부에 비아(Via)가 정렬되는 자기정렬 듀얼 다마신 공정(Self-aligned dual damascene etching)이 주로 이용되고 있다.

<17> 자기정렬 듀얼 다마신 공정은 절연막을 사진 및 식각으로 식각하여 트렌치 (Trench)를 형성하고, 이 트렌치에 텅스텐(W), 알루미늄, 구리 등의 도전 물질을 채워 넣고 필요한 배선 이외의 도전 물질은 에치백(Etchback)이나 화학적기계적

연마(Chemical Mechanical Polishing; CMP) 등의 기술을 이용하여 제거함으로써 처음에 형성한 트렌치 모양으로 배선을 형성하는 기술이다.

<18> 이러한 자기정렬 듀얼 다마신 기술은 주로 DRAM 등의 비트 라인(bit line) 또는 워드라인(Wordline), 금속배선 형성에 이용되며, 특히 다층 금속배선에서 상층 금속배선과 하층 금속배선을 접속시키기 위한 비아홀을 동시에 형성할 수 있을뿐만 아니라, 금속배선에 의해 발생하는 단차를 제거할 수 있으므로 후속 공정을 용이하게 하는 장점이 있다.

<19> 도 1a 내지 도 1c는 종래기술에 따른 자기정렬 듀얼 다마신 공정에 의한 다층 금속배선의 형성 방법을 도시한 공정 단면도이다.

<20> 도 1a에 도시된 바와 같이, 제 1 층간절연막(12)이 개재된 반도체기판(11)상에 제 2 층간절연막(13), 제 1 식각정지층(14)을 형성한 후, 제 1 식각정지층(14)과 제 2 층간절연막(13)을 선택적으로 식각하여 제 1 금속배선이 형성될 부분을 노출시킨다.

<21> 이후, 노출된 부분에 금속배선막을 증착한 후, 평탄화되도록 선택적으로 제 1 금속배선막을 제거하여 제 1 금속배선(15)을 형성한 후, 제 1 금속배선(15)을 포함한 제 1 식각정지층(14)상에 제 3 층간절연막(16)을 형성한다.

<22> 이어서, 제 3 층간절연막(16)상에 제 2 식각정지층(17), 제 4 층간절연막(18)을 순차적으로 형성한 후, 제 4 층간절연막(18)상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 비아홀 마스크를 형성한다.

<23> 이어서, 비아홀 마스크를 이용하여 제4층간절연막(18), 제2식각정지층(17) 및 제 3 층간절연막(16)을 식각하므로써 제1금속배선의 소정 표면을 노출시키는 비아홀(19)을 형성한다.

<24> 이어서, 비아홀(19)이 형성된 제 4 층간절연막(18)상에 감광막을 도포한 후 노광 및 현상으로 패터닝하여 비아홀의 폭보다 큰 폭, 즉 비아홀 및 제4층간절연막(18)의 소정 부분을 노출시키는 트렌치 마스크(20)를 형성한다.

<25> 도 1b에 도시된 바와 같이, 트렌치 마스크(20)를 이용하여 제4층간절연막(18)을 식각하여 트렌치(21)를 형성한다. 이러한 트렌치(21) 식각시, 제 2 식각정지층(17)에서 식각이 멈춘다.

<26> 도 1c에 도시된 바와 같이, 트렌치 마스크(20)를 제거한 후, 전면에 금속막을 증착하고 제 4 층간절연막(18)의 표면이 노출될때까지 에치백 및 화학적기계적연마를 실시하여 트렌치 및 비아홀(19)에 매립되는 제 2 금속배선(22)을 형성한다. 여기서, 제 2 금속배선(22) 형성시 제 1 금속배선(15)과의 접속을 위한 비아(22a)가 동시에 형성된다.

<27> 상술한 종래기술에서는 비아홀 형성을 위한 식각정지층으로 질화막을 주로 이용하는데, 도 2a에 도시된 바와 같이, 트렌치 식각시 비아홀(19)을 제외한 부분에 잔류하는 질화막(17)은 높은 캐패시턴스값을 갖기 때문에 절연막 전체의 낮은 캐패시턴스값 상승을 초래하는 문제점이 있다. 아울러, 도 2b에 도시된 바와 같이, 절연막의 두께가 증가할 경우 트렌치 식각시 절연막(산화막)과 질화막과의 낮은



선택비 특성으로 인해 트렌치 모서리 부분(A)에서의 프로파일이 왜곡되는 문제점을 초래한다.

#### 【발명이 이루고자 하는 기술적 과제】

<28> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로서, 비아홀을 제외한 부분에 잔류하는 식각정지층으로 인한 캐패시턴스값 증가를 방지하고, 트렌치 모서리부분에서의 프로파일 왜곡을 억제하는데 적합한 듀얼다마신 공정에 의한 다층 배선의 형성 방법을 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<29> 상기의 목적을 달성하기 위한 본 발명의 듀얼다마신 공정에 의한 다층 배선의 형성 방법은 반도체기판상에 제1 배선층을 형성하는 단계, 상기 제1 배선층상에 제1 층간절연막과 식각정지막을 차례로 형성하는 단계, 상기 식각정지막과 제1 층간절연막을 선택적으로 식각하여 상기 제1 배선층의 노출표면을 노출시키는 비아홀을 형성하는 단계, 상기 식각정지막을 선택적으로 식각하여 상기 비아홀에 인접하는 식각정지막패턴을 잔류시키는 단계, 상기 식각정지막패턴을 포함하는 전면에 상기 비아홀내에 보이드를 발생시키는 제2 층간절연막을 형성하는 단계, 및 상기 제2 층간절연막을 선택적으로 식각하여 상기 비아홀 상부에 상기 비아홀보다 큰 폭을 갖는 트렌치를 형성하는 단계를 포함하여 이루어짐을 특징으로 하며, 상기 식각정지막패턴을 잔류시키는 단계는, 상기 비아홀 형성후 전면에

감광막을 도포하고 노광 및 현상으로 패터닝하여 상기 트렌치보다 선평이 큰 감광막패턴을 형성하는 단계, 및 상기 감광막패턴을 마스크로 하여 상기 식각정지막을 식각하는 단계를 포함하여 이루어짐을 특징으로 한다.

<30> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<31> 도 3a 내지 도 3d는 본 발명의 실시예에 따른 다층 금속배선의 형성 방법을 도시한 공정 단면도이다.

<32> 도 3a에 도시된 바와 같이, 제 1 층간절연막(32)이 개재된 반도체기판(31)상에 제 2 층간절연막(33), 제 1 식각정지층(34)을 형성한 후, 제 1 식각정지층(34)과 제 2 층간절연막(33)을 선택적으로 식각하여 제 1 금속배선아 형성될 부분을 노출시킨다.

<33> 이후, 노출된 부분에 금속배선막을 증착하고, 평탄화되도록 선택적으로 제 1 금속배선(35)을 형성한 후, 제 1 금속배선(35)을 포함한 제 1 식각정지층(34)상에 제 3 층간절연막(36)을 형성한다.

<34> 이어서, 제 3 층간절연막(36)상에 제 2 식각정지층(37)을 형성하고, 제 2 식각정지층(37)상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 마스크(38)를 형성한다.

<35> 여기서, 제 1, 2 식각정지층(34, 37)으로는 PE-질화막(PE-Nitride), SiON, Al<sub>2</sub>O<sub>3</sub> 중 어느 하나를 이용하되, 300Å ~ 2000Å 두께로 형성한다. 그리고, 제

1,2,3 층간절연막(32,33,36)은 SOG, PE-산화막, TEOS, HDP-산화막외에 저유전율을 갖는 절연막을 이용하되, 3000Å~30000Å 두께로 형성한다.

<36> 이어서, 비아홀 마스크(38)를 이용하여 제 2 식각정지층(37)과 제 3 층간절연막(36)을 식각하므로써 제 1 금속배선(35)의 소정 표면을 노출시키는 비아홀(39)을 형성한다.

<37> 도 3b에 도시된 바와 같이, 비아홀마스크(38)로 이용된 감광막을 제거한 후, 전면에 감광막을 다시 도포하고 노광 및 현상으로 패터닝하여 후속 트렌치 식각시 필요로 하는 최소 부분, 즉 후속 진행될 트렌치마스크보다 소정 선폭( $0.2\mu\text{m}$ ~ $1\mu\text{m}$ )만큼 큰 선폭( $d_1$ )을 갖는 제 2 식각정지층(37)을 잔류시키기 위한 감광막 패턴(40)을 형성한다.

<38> 계속해서, 감광막패턴(40)을 마스크로 이용하여 제 2 식각정지층(37)을 식각하여 비아홀(39) 주위에 제 2 식각정지층패턴(37a)을 잔류시킨다. 이 때, 비아홀 주위(39)에만 k값 상승을 유발하는 제 2 식각정지층패턴(37a)을 트렌치 식각하는 제 2 단계에서 식각배리어가 필요한 부위에만 최소한도로 남기는 것이다.

<39> 도 3c에 도시된 바와 같이, 감광막패턴(40)을 제거하여 제 2 식각정지층패턴(37a)을 노출시킨 후, 전면에 제 4 층간절연막(41)을 형성한다.

<40> 여기서, 제 4 층간절연막(41)을 형성할 때; 비아홀(39)에 보이드(B)가 발생되도록 하는데, 이를 위해 보이드 생성이 용이한 절연막, 예컨대 HDP-USG 또는 PE-산화막 중 어느 하나를 이용하고, 그 두께는 3000Å~30000Å로 한다.

<41> 계속해서, 제 4 층간절연막(41)상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 트렌치를 형성하기 위한 트렌치 마스크(42)를 형성한다. 이 때, 트렌치 마스크(42)의 선폭( $d_2$ )은 제 2 식각정지층패턴(37a)을 형성하기 위한 마스크의 선폭보다 더 작다.

<42> 도 3d에 도시된 바와 같이, 트렌치 마스크(42)를 이용하여 제4 층간절연막(41)을 제거하여 트렌치를 형성하는데, 이 때, 잔류하는 제2 식각정지층패턴(37a)에서 식각이 멈춘다.

<43> 이 때, 제4 층간절연막(41) 형성시, 보이드(B)를 생성하였기 때문에, 보이드 크기만큼 식각타겟을 감소시킬 수 있다.

<44> 계속해서, 트렌치 마스크(42)를 제거한 후, 전면에 금속막을 증착하고 제4 층간절연막(36)의 표면이 노출될때까지 에치백 및 화학적기계적연마를 실시하여 트렌치 및 비아홀(39)에 매립되는 제2 금속배선(43)을 형성하며, 동시에 제2 금속배선(43)과 제1 금속배선(35)과의 접속을 위한 배야(43a)를 형성한다.

<45> 여기서, 제1 금속배선(35)과 제2 금속배선(43)을 이루는 금속막은 알루미늄(Al), 구리(Cu) 중 어느 하나이거나, 또는 통상 적용되는 금속막이고, 이들 금속막은 화학기상증착법(CVD), 무전해법(Electroless), 물리기상증착법(PVD) 중 어느 한 방법으로 증착한다. 그리고, 이들 금속막은 3000Å ~ 30000Å 두께로 증착된다.

<46> 한편, 제2 금속배선(43)을 형성하기 전에, 확산방지막으로서 TiN, Ti, W, WN, TiW 중 어느 하나를 단독 또는 혼용하여 증착하되, 1000Å ~ 5000Å 두께로 증착한다.

<47> 도 4는 트렌치 식각후의 SEM 사진으로서, 프로파일 왜곡이 발생되지 않음을 알 수 있다.

<48> 상술한 본 발명의 실시예에서는 다층 금속배선의 형성 방법에 대해서 설명하였으나, 본 발명은 듀얼다마신구조를 갖는 워드라인, 비트라인 및 콘택의 형성 방법에 적용할 수 있다.

<49> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

<50> 상술한 바와 같은 본 발명은 트렌치 형성을 위한 식각정지막을 최소용도로만 남기므로써 캐패시턴스값의 증가를 방지할 수 있고, 보이드가 발생된 층간절연막을 식각함으로써 트렌치식각시의 식각타겟을 감소시켜 트렌치식각 공정의 잔여물 제거를 극대화시킬 수 있는 효과가 있다.

## 【특허청구범위】

## 【청구항 1】

듀얼다마신 공정에 의한 다층 배선의 형성 방법에 있어서,

반도체기판상에 제1 배선층을 형성하는 단계;

상기 제1 전도층상에 제1 층간절연막과 식각정지막을 차례로 형성하는 단계

;

상기 식각정지막과 제1 층간절연막을 선택적으로 식각하여 상기 제1 배선층의 소정 표면을 노출시키는 비아홀을 형성하는 단계;

상기 식각정지막을 선택적으로 식각하여 상기 비아홀에 인접하는 식각정지막패턴을 잔류시키는 단계;

상기 식각정지막패턴을 포함한 전면에 상기 비아홀내에 보이드를 발생시키는 제2 층간절연막을 형성하는 단계; 및

상기 제2 층간절연막을 선택적으로 식각하여 상기 비아홀 상부에 상기 비아홀보다 큰 폭을 갖는 트렌치를 형성하는 단계

를 포함하여 이루어짐을 특징으로 하는 듀얼다마신 공정에 의한 다층 배선

의 형성 방법.

## 【청구항 2】

제 1 항에 있어서,

상기 식각정지막패턴을 잔류시키는 단계는,

상기 비아홀 형성후 전면에 감광막을 도포하고 노광 및 현상으로 패터닝하여 상기 트렌치보다 선평이 큰 감광막패턴을 형성하는 단계; 및

상기 감광막패턴을 마스크로 하여 상기 식각정지막을 식각하는 단계

를 포함하여 이루어짐을 특징으로 하는 듀얼다마신 공정에 의한 다층 배선의 형성 방법.

#### 【청구항 3】

제 1 항에 있어서,

상기 제 2 층간절연막을 형성하는 단계에서,

상기 제2 층간절연막은 HDP-USG 또는 PE-산화막 중 어느 하나를 포함하되,

3000Å~30000Å의 두께로 증착되는 것을 특징으로 하는 듀얼 다마신 공정에 의한 다층 배선의 형성 방법.

#### 【청구항 4】

제 1 항에 있어서,

상기 제1 층간절연막은 SOG, PE-산화막, TEOS, HDP 산화막 또는 저유전율막

중 어느 하나를 포함하되, 3000Å~30000Å의 두께로 증착되는 것을 특징으로 하는 듀얼 다마신 공정에 의한 다층 배선의 형성 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 식각정지막은 PE-질화막, SiON 또는  $Al_2O_3$  중 어느 하나를 포함하되,  
300Å ~ 2000Å의 두께로 증착되는 것을 특징으로 하는 듀얼 다마신 공정에 의한  
다층 배선의 형성 방법.

**【청구항 6】**

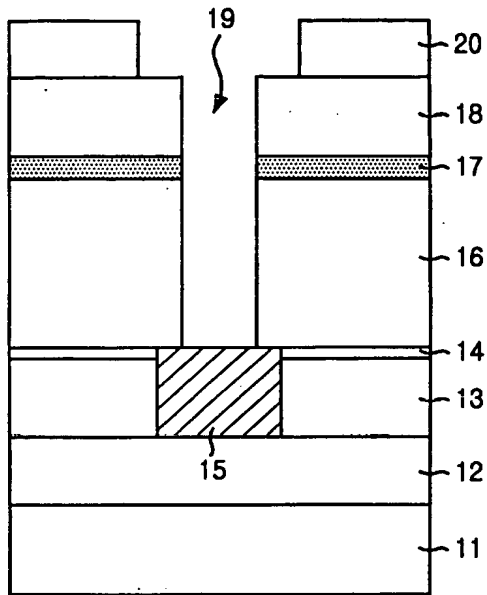
제 1 항에 있어서,

상기 제 1 배선층은 알루미늄 또는 구리 중 어느 하나를 포함하되, 화학기  
상증착법, 무전해법 또는 물리기상증착법 중 어느 하나의 증착법에 의해 3000Å  
~ 30000Å의 두께로 증착되는 것을 특징으로 하는 듀얼 다마신 공정에 의한 다층  
배선의 형성 방법.

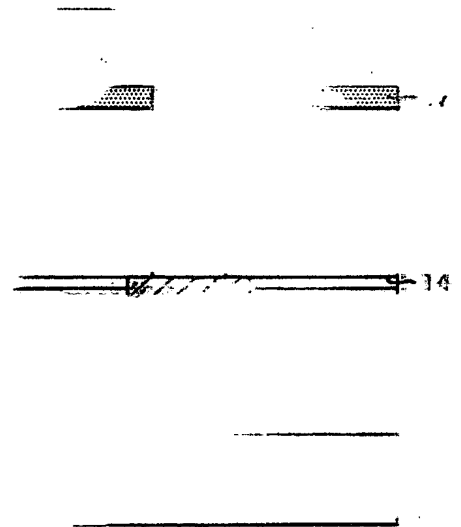
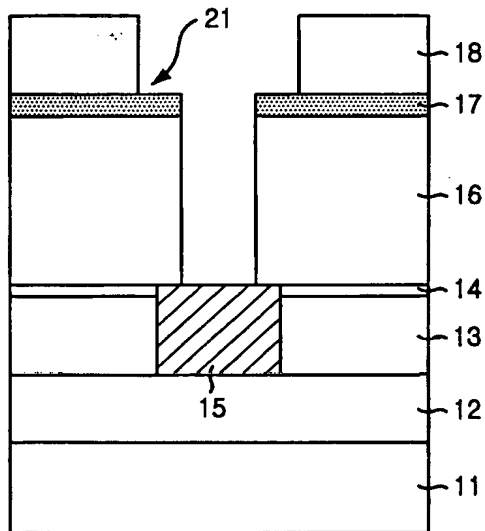


【도면】

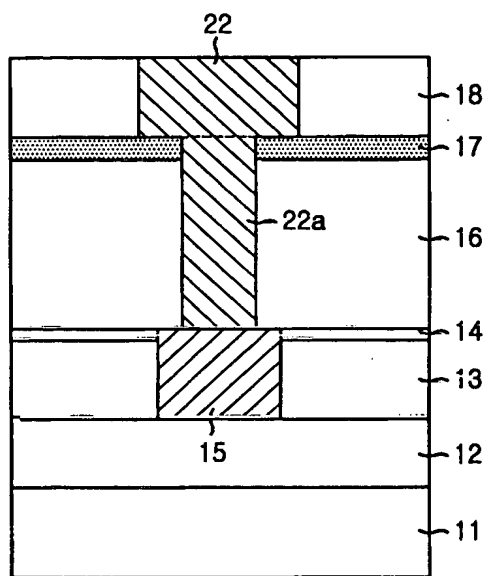
【도 1a】



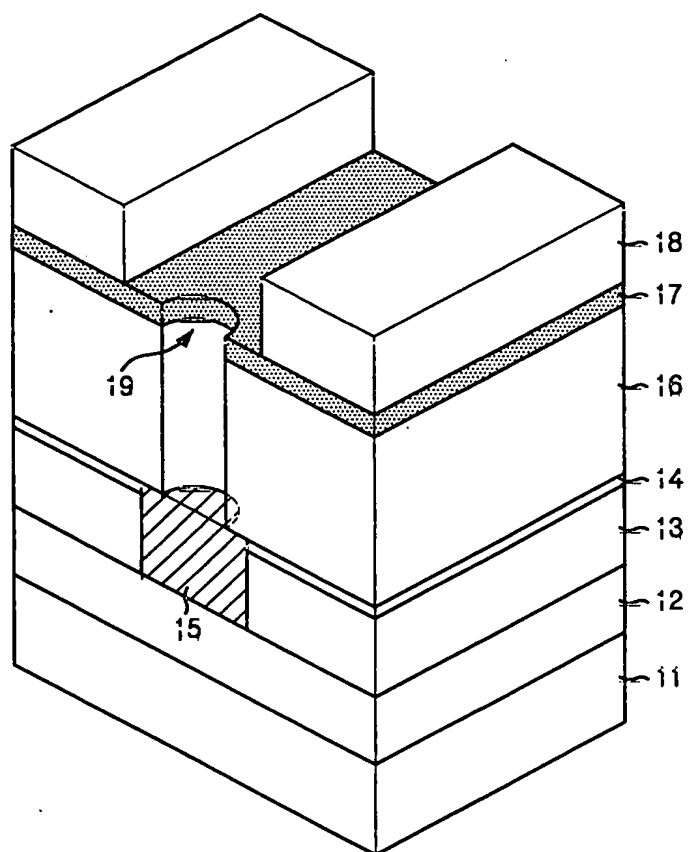
【도 1b】



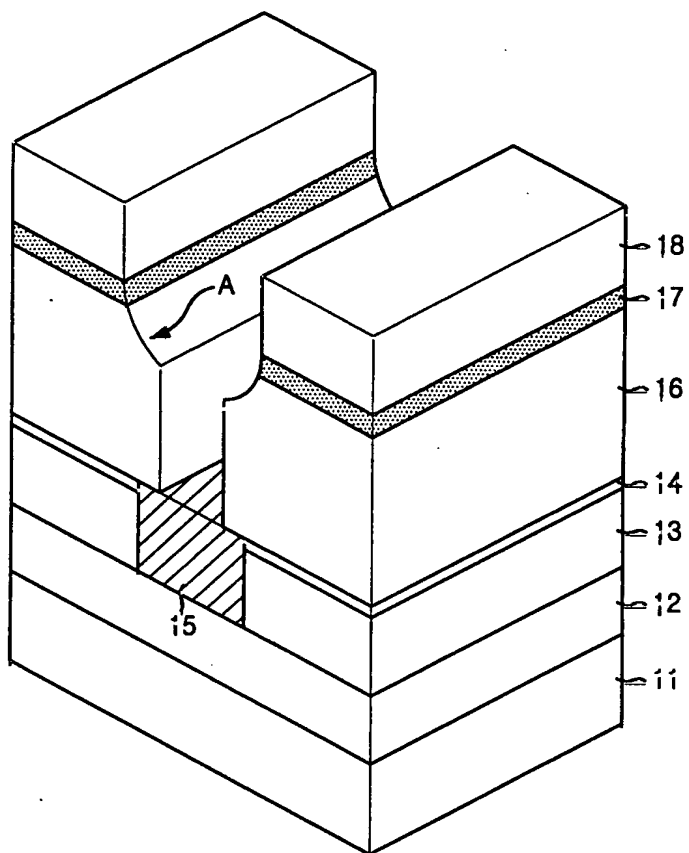
【도 1c】



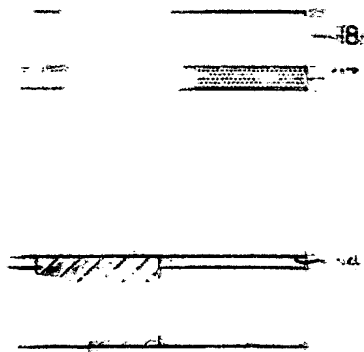
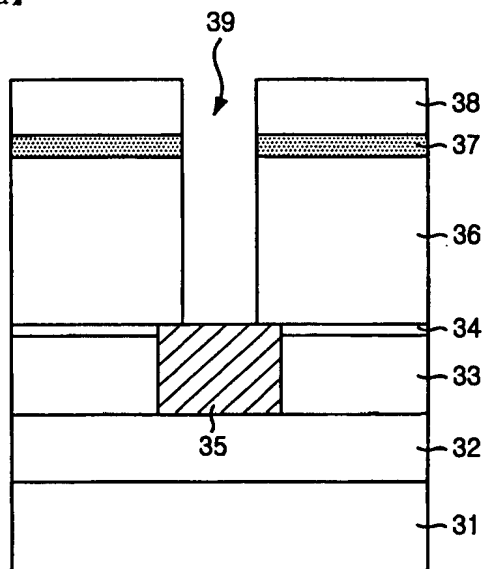
【도 2a】



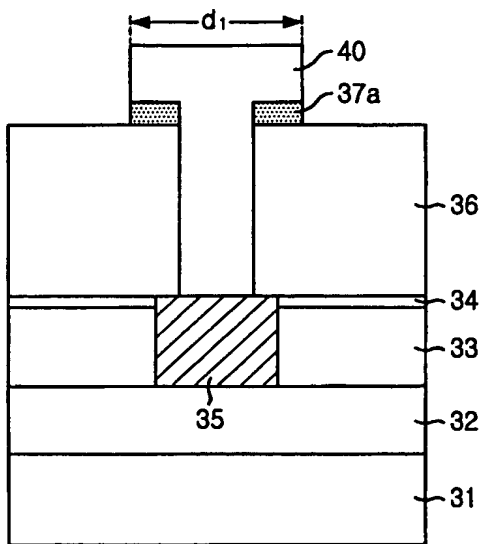
【도 2b】



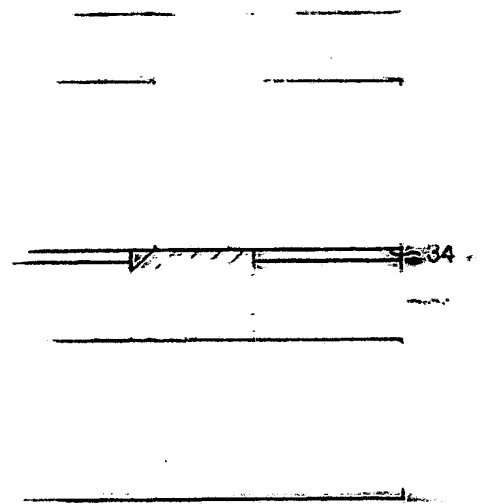
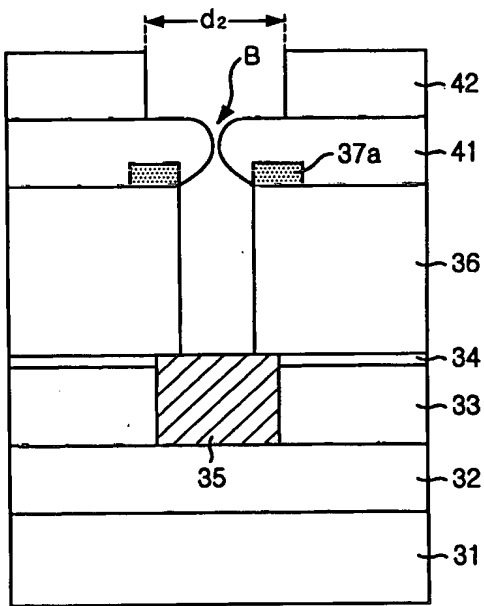
【도 3a】



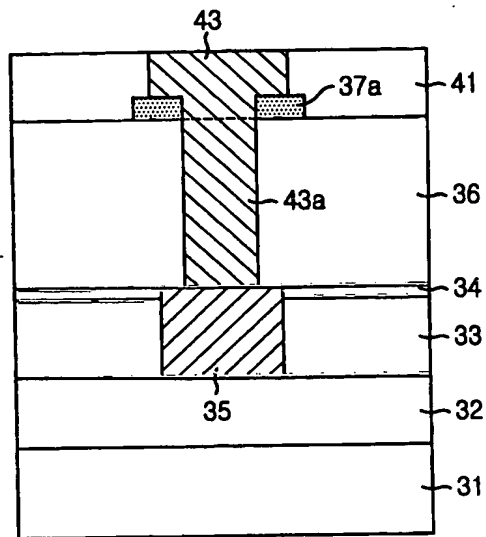
【도 3b】



【도 3c】



【도 3d】



【도 4】

